

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/027

(11) 공개번호 특1999-000275
(43) 공개일자 1999년01월15일

(21) 출원번호 특1997-023057
(22) 출원일자 1997년06월04일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄동 416
(72) 발명자 김재용
경기도 용인군 구성면 상하리 371-4 삼성빌라 가동 502호
이용수
서울특별시 용산구 서계동 242-7
(74) 대리인 이건주

심사청구 있음

(54) 반도체장치 및 그 제조방법

요약

본 발명은 구조를 갖는 반도체 장치 및 그 제조 방법이 개시되어 있다. 상기 장치는 반도체 기판의 상부에 순차적으로 적층된 제1 절연층, 제1 도전층 및 제2 절연층, 상기 제2 절연층의 상부에 형성된 제2 도전층 패턴, 상기 제2 도전층 패턴의 측벽에 형성된 제3 절연층으로 이루어진 측벽 스페이서, 상기 제2 도전층 패턴 및 측벽 스페이서를 포함한 상기 기판의 상부에 형성되며, 상기 제2 도전층 패턴의 일부 및 상기 측벽 스페이서의 일부를 노출시키는 콘택 홀을 갖는 제4 절연층, 및 상기 제4 절연층의 상부에 형성되며, 상기 콘택 홀을 통해 상기 제2 도전층 패턴과 전기적으로 연결되는 제3 도전층을 구비한다. 상기 측벽 스페이서의 길이 및 폭을 통해 콘택 형성을 위한 사전식각 공정의 과도식각 마진 및 미스알라인 마진을 동시에 확보할 수 있다.

도면

도 1

도면

도면의 간단한 설명

도 1은 종래 방법에 의한 반도체 장치의 제조 방법을 설명하기 위한 단면도이다.

도 2는 본 발명에 의한 반도체 장치의 단면도이다.

도 3a 내지 도 3e는 도 2에 도시한 장치의 제조 방법을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

100 ... 반도체 기판 102 ... 제1 절연층
104 ... 제1 도전층 106 ... 제2 절연층
108 ... 제2 도전층 패턴 110 ... 측벽 스페이서
112 ... 제4 절연층 116 ... 제3 도전층 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 콘택을 형성할 때 사전 공정의 미스알라인 마진(misalign margin)과 식각 공정의 과도식각 마진(overetch margin)을 동시에 확보할 수 있는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 집적 회로들은 일련의 마스크 층들을 패턴링함으로써 제조되는데 연속적인 층들 상에서의 형상(feature)들은 서로 공간적인 관계를 갖는다. 따라서, 제조 공정의 한 부분으로서 각 레이어는 이전 레이어에 얼라인(align)되어야 한다. 즉, 사전 공정 중 새로 형성할 마스크의 패턴은 이전 단계에서 웨이퍼 상에

형성된 패턴에 열라되어야 한다. 특히, 반도체 장치가 고집적화됨에 따라 전(前) 공정 또는 후속 공정이 형성되는 소정 패턴과의 미스얼라인 마진이 중요한 이슈로 대두되고 있다.

한편, 반도체장치가 고집적화 및 고속화됨에 따라, 폴리실리콘과 같은 도전성 물질이 점점 다층화되고 있다. 이에 따라, 상기 도전층들 간에 형성되는 절연층의 두께가 두꺼워져서 후속 공정에서 형성될 콘택 형성시 과도식각 마진이 중요해지고 있다.

따라서, 반도체 장치가 고집적화되면서 전/후속 공정과의 사전 공정 미스얼라인 마진 및 식각 공정의 과도식각 마진의 2가지 모두가 매우 중요시되는 공정 단계가 발생하게 되었다. 특히, 하지층과의 전기적 연결을 위한 콘택을 형성할 때, 사전 공정의 미스얼라인 마진 부족과 식각 공정의 과도식각 마진 부족이 발생하여 반도체 장치의 고집적화에 큰 장애가 되고 있다.

도 1은 종래 방법에 의한 반도체 장치의 콘택 형성방법을 설명하기 위한 단면도이다.

도 1을 참조하면, 반도체 기판(10)의 상부에 제1 절연층(12), 제1 도전층(14), 제2 절연층(16), 제2 도전층(18), 제3 절연층(20) 및 제3 도전층 패턴(22)이 적층되어 있다. 상기 제3 도전층 패턴(22)과 제2 도전층 패턴(18)을 전기적으로 연결시키는 콘택을 형성할 경우, 인접한 제3 도전층 패턴(22a)과의 스페이스 마진을 고려하여 상기 제2 도전층 패턴(18)의 엣지부에 콘택을 형성한다. 따라서, 사전 공정의 능력과 콘택 저항을 고려하여 상기 콘택의 사이즈를 작게 하여야 하는데, 사전식각 공정으로 상기 제3 절연층(20)을 식각하여 콘택 홈을 형성할 때, 상기 제1 도전층(14)까지 과도식각되는 것을 방지하여야 하므로 버퍼층(buffer layer)의 역할을 하는 제2 절연층(16)의 두께가 과도식각의 마진을 결정한다. 특히, 상기 제3 절연층(20)의 두께가 두껍고 버퍼층의 역할을 하는 상기 제2 절연층(16)의 두께가 얇을수록, 상기 제3 절연층(20)을 식각할 때 제2 절연층(16)이 과도 식각되어 상기 제1 도전층(14)까지 관통되는 문제가 발생한다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 콘택을 형성할 때 사전 공정의 미스얼라인 마진과 식각 공정의 과도식각 마진을 동시에 확보할 수 있는 반도체 장치를 제공하는데 있다.

본 발명의 다른 목적은 상기 반도체 장치를 제조하는데 특히 적합한 반도체 장치의 제조 방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은,

반도체 기판의 상부에 순차적으로 적층된 제1 절연층, 제1 도전층 및 제2 절연층, 상기 제2 절연층의 상부에 형성된 제2 도전층 패턴, 상기 제2 도전층 패턴의 측벽에 형성된 제3 절연층으로 이루어진 측벽 스페이서; 상기 제2 도전층 패턴 및 측벽 스페이서를 포함한 상기 기판의 상부에 형성되며, 상기 제2 도전층 패턴의 일부 및 상기 측벽 스페이서의 일부를 노출시키는 콘택 홈을 갖는 제4 절연층; 및 상기 제4 절연층의 상부에 형성되며 상기 콘택 홈을 통해 상기 제2 도전층 패턴과 전기적으로 연결되는 제3 도전층을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

또한, 상기 다른 목적을 달성하기 위하여 본 발명은,

반도체 기판의 상부에 제1 절연층, 제1 도전층 및 제2 절연층을 순차적으로 형성하는 제1 단계; 상기 제2 절연층의 상부에 제2 도전층을 형성하고 이를 사전식각 공정으로 패턴화하여 제2 도전층 패턴을 형성하는 제2 단계; 상기 결과물의 상부에 제3 절연층을 형성하고 이를 에치백(etch-back)하여 상기 제2 도전층 패턴의 측벽에 상기 제3 절연층으로 이루어진 측벽 스페이서를 형성하는 제3 단계; 상기 결과물의 상부에 제4 절연층을 형성하는 제4 단계; 사전식각 공정으로 상기 제4 절연층을 식각하여 상기 제2 도전층 패턴의 일부 및 상기 측벽 스페이서의 일부를 노출시키는 콘택 홈을 형성하는 제5 단계; 및 상기 결과물의 상부에 상기 콘택 홈을 통해 상기 제2 도전층 패턴과 전기적으로 연결되는 제3 도전층을 형성하는 제6 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.

바람직하게는, 상기 제3 단계를 1회 이상 반복함으로써 상기 측벽 스페이서의 폭을 넓혀 사전 공정의 미스얼라인 마진을 확보할 수 있다.

본 발명에 의하면, 제2 도전층 패턴의 측벽에 제1 절연층 및 제2 절연층과의 식각 선택비(etch selectivity)가 우수한 물질로 이루어진 제3 절연층 측벽 스페이서를 형성한 후 콘택 공정을 진행한다. 따라서, 상기 측벽 스페이서의 길이만큼 콘택 형성을 위한 식각 공정시 과도식각 마진을 확보할 수 있다. 이때, 상기 측벽 스페이서의 폭은 콘택 형성을 위한 사전 공정의 미스얼라인 마진을 확보하는 요소로 작용하므로, 상기 측벽 스페이서를 형성하는 단계를 1회 이상 반복하여 상기 측벽 스페이서의 폭을 넓혀 줌으로써 사전 공정의 미스얼라인 마진을 더 확보할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명하고자 한다.

도 2는 본 발명에 의한 반도체 장치의 단면도이다.

도 2를 참조하면, 반도체 기판(100)의 상부에 순차적으로 제1 절연층(102), 제1 도전층(104) 및 제2 절연층(106)이 적층되어 있다. 상기 제2 절연층(106)의 상부에는 제2 도전층 패턴(108)이 형성되고, 상기 제2 도전층 패턴(108)의 측벽에 제3 절연층으로 이루어진 측벽 스페이서(110)가 형성된다. 상기 제2 도전층 패턴(110) 및 측벽 스페이서(110)를 포함한 상기 기판(100)의 상부에는 제4 절연층(112)이 형성된다. 이때, 상기 제4 절연층(112)은 상기 제2 도전층 패턴(108)의 일부 및 상기 측벽 스페이서(110)의 일부를 노출시키는 콘택 홈(114)을 갖는다.

상기 제4 절연층(112)의 상부에는 상기 콘택 홈(114)을 통해 상기 제2 도전층 패턴(108)과 전기적으로 연

결되는 제3 도전층(116)이 형성된다.

여기서, 상기 촉벽 스페이서(110)는 그 길이가 콘택 형성을 위한 식각 공정시 과도식각 마진을 확보하는 요소로 작용하며, 그 폭이 콘택 형성을 위한 사진 공정의 미스얼라인 마진을 확보하는 요소로 작용한다.

도 3a 내지 도 3e는 도 2에 도시한 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 반도체 기판(100)의 상부에 제1 절연층(102), 제1 도전층(104) 및 제2 절연층(106)을 순차적으로 형성한다. 이어서, 상기 제2 절연층(106)의 상부에 제2 도전층을 형성하고 이를 사진식각 공정으로 패터닝하여 제2 도전층 패턴(108)을 형성한다. 다음에, 상기 제2 도전층 패턴(108)이 형성된 결과물의 상부에 제3 절연층(110)을 형성한다. 상기 제3 절연층(110)은 상기 제2 절연층(106) 및 후속 공정에서 형성될 제4 절연층(112)과의 식각 선택비가 우수한 물질로 형성한다.

도 3b를 참조하면, 상기 제3 절연층(110)을 에치백하여 상기 제2 도전층 패턴(108)의 촉벽에 상기 제3 절연층으로 이루어진 촉벽 스페이서(110)를 형성한다. 여기서, 상기 촉벽 스페이서(110)는 그 길이가 콘택 형성을 위한 식각 공정시 과도식각 마진을 확보하는 요소로 작용하며, 그 폭이 콘택 형성을 위한 사진 공정의 미스얼라인 마진을 확보하는 요소로 작용한다.

도 3c를 참조하면, 상기 촉벽 스페이서(110)가 형성된 결과물의 상부에 제4 절연층(112)을 형성한다. 이어서, 콘택 형성을 위한 사진 공정을 수행하여 상기 제4 절연층(112)의 상부에 콘택이 형성될 부위를 오픈시키는 포토레지스트 패턴(113)을 형성한다.

도 3d를 참조하면, 상기 포토레지스트 패턴(113)을 식각 마스크로 이용하여 상기 제4 절연층(112)을 식각함으로써 상기 제2 도전층 패턴(108)의 일부 및 상기 촉벽 스페이서(110)의 일부를 노출시키는 콘택 홀(114)을 형성한다. 따라서, 상기한 식각 공정시, 촉벽 스페이서(110)가 식각 종료층(etch stopper)의 역할을 하며 상기 제4 절연층(112)을 충분히 식각할 수 있으므로 과도식각 마진을 충분히 확보할 수 있다(a 부분 참조).

도 3e를 참조하면, 상기 콘택 홀(114)이 형성된 결과물의 상부에 제3 도전층을 형성한 후, 이를 사진식각 공정으로 패터닝함으로써 상기 콘택 홀(114)을 통해 상기 제2 도전층 패턴(108)과 전기적으로 연결되는 제3 도전층 패턴(116)을 형성한다.

또한, 본 발명의 바람직한 다른 실시예에 의하면, 상기 도 3b의 촉벽 스페이서를 형성하는 단계를 1회 이상, 예컨대 2~3회 반복하여 실시함으로써 상기 촉벽 스페이서의 폭을 증가시킬 수 있다. 따라서, 콘택 형성을 위한 사진 공정시 미스얼라인 마진을 충분히 확보할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 장치에 의하면, 제2 도전층 패턴의 촉벽에 제1 절연층 및 제2 절연층과의 식각 선택비가 우수한 물질로 이루어진 제3 절연층, 촉벽 스페이서를 형성한 후 콘택 공정을 진행한다. 따라서, 상기 촉벽 스페이서의 길이만을 콘택 형성을 위한 식각 공정시 과도식각 마진을 확보할 수 있다. 이때, 상기 촉벽 스페이서의 폭은 콘택 형성을 위한 사진 공정의 미스얼라인 마진을 확보하는 요소로 작용하므로, 상기 촉벽 스페이서를 형성하는 단계를 1회 이상 반복하여 상기 촉벽 스페이서의 폭을 넓혀 줌으로써 사진 공정의 미스얼라인 마진을 더 확보할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

반도체 기판의 상부에 순차적으로 적층된 제1 절연층, 제1 도전층 및 제2 절연층;

상기 제2 절연층의 상부에 형성된 제2 도전층 패턴;

상기 제2 도전층 패턴의 촉벽에 형성된 제3 절연층으로 이루어진 촉벽 스페이서;

상기 제2 도전층 패턴 및 촉벽 스페이서를 포함한 상기 기판의 상부에 형성되며, 상기 제2 도전층 패턴의 일부 및 상기 촉벽 스페이서의 일부를 노출시키는 콘택 홀을 갖는 제4 절연층; 및

상기 제4 절연층의 상부에 형성되며 상기 콘택 홀을 통해 상기 제2 도전층 패턴과 전기적으로 연결되는 제3 도전층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제3 절연층은 상기 제1 절연층 및 제2 절연층과의 식각 선택비가 높은 물질로 형성된 것을 특징으로 하는 반도체 장치.

청구항 3

반도체 기판의 상부에 제1 절연층, 제1 도전층 및 제2 절연층을 순차적으로 형성하는 제1 단계;

상기 제2 절연층의 상부에 제2 도전층을 형성하고 이를 사진식각 공정으로 패터닝하여 제2 도전층 패턴을 형성하는 제2 단계;

상기 결과물의 상부에 제3 절연층을 형성하고 이를 에치백하여 상기 제2 도전층 패턴의 촉벽에 상기 제3 절연층으로 이루어진 촉벽 스페이서를 형성하는 제3 단계;

상기 결과물의 상부에 제4 절연층을 형성하는 제4 단계;

사진식각 공정으로 상기 제4 절연층을 식각하여 상기 제2 도전층 패턴의 일부 및 상기 측벽 스페이서의 일부를 노출시키는 콘택 홀을 형성하는 제5 단계; 및

상기 결과물의 상부에 상기 콘택 홀을 통해 상기 제2 도전층 패턴과 전기적으로 연결되는 제3 도전층을 형성하는 제6 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

형구함 4

제3항에 있어서, 상기 제3 절연층은 상기 제1 절연층 및 제2 절연층과의 식각 선택비가 높은 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

형구함 5

제3항에 있어서, 상기 제3 단계를 1회 이상 반복하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

도면1

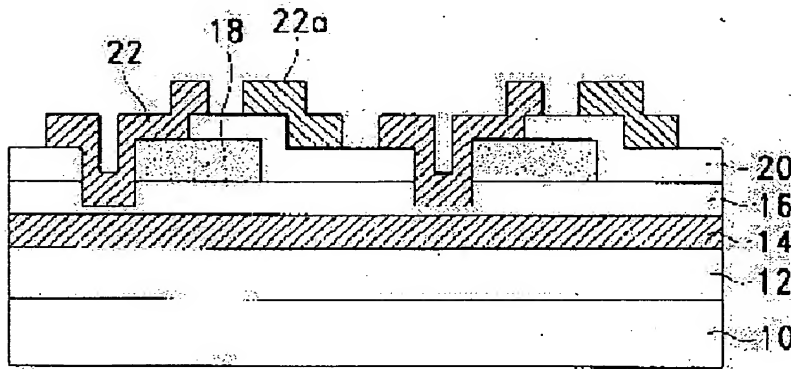


図2

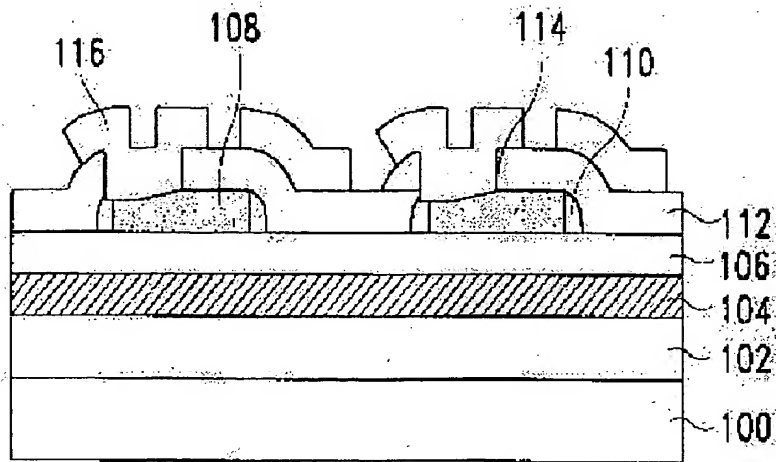
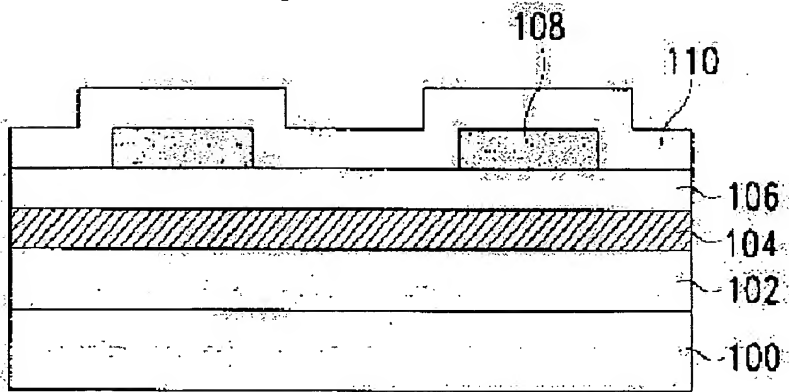
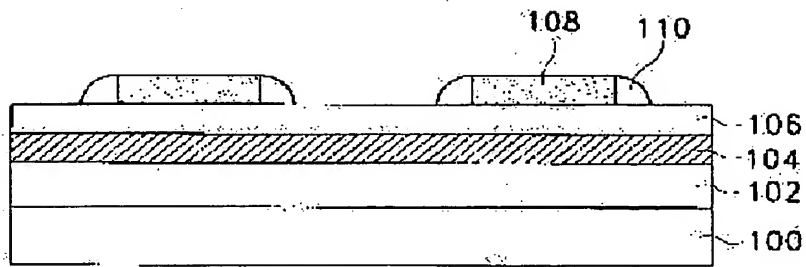


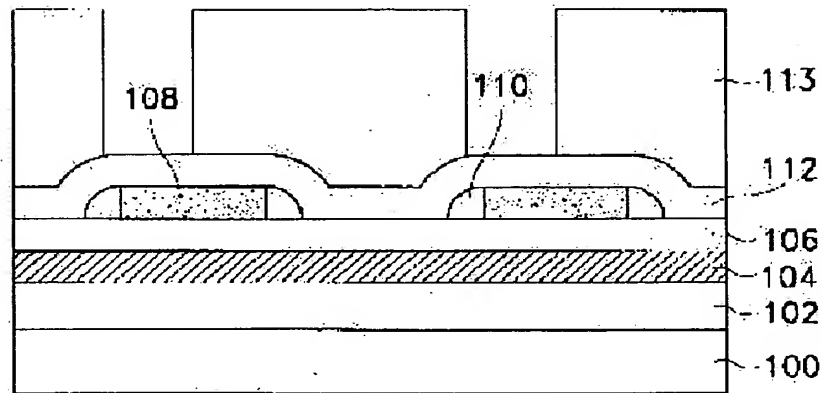
図3a



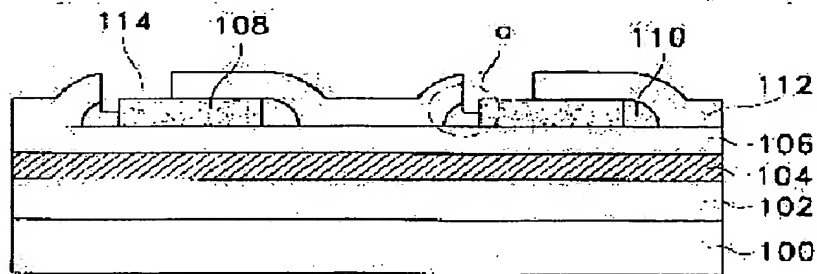
도 36



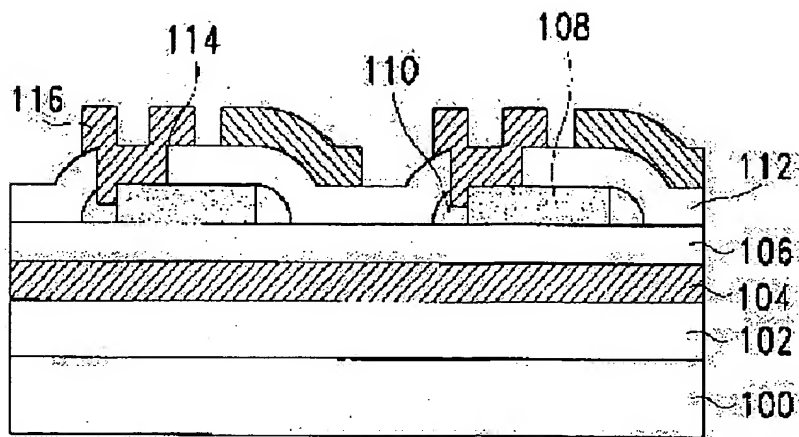
도 37



도 38



도 8b



7-7

(19) Korea Intellectual Property Office (KR)
(12) Laid-Open Patent Publication (A)

(51) Int. Cl.
H01L 21/027

(11) Publication No.: 1999-000275
(43) Publication Date: 1999. Jan. 15.

(21) Application No: 1997-023057

(22) Application Date: 1997. June. 4.

(71) Applicant: Samsung Electronics Co. Ltd.

(72) Inventors: Jae-Woong, KIM
Yong-Soo, Lee

(52) Semiconductor device and manufacturing method thereof

ABSTRACT:

Semiconductor device with contact structure and manufacturing method thereof are disclosed.

The semiconductor device comprises:

a 1st isolating layer(102), a 1st conducting layer(104) and a 2nd isolating layer(106) which are sequentially laminated on the semiconductor substrate(100);

a 2nd conducting layer pattern(108) formed on the 2nd isolating layer(106);

a side-wall spacer(110) made of a 3rd isolating layer which is formed at the side-wall of the 2nd conducting layer pattern(108);

a 4th isolating layer(112) which is formed on the substrate including the 2nd conducting layer pattern(108) and the side-wall spacer(11) and which has contact holes exposing parts of the 2nd conducting layer pattern(108) and parts of the side-wall spacer(110); and

a 3rd conducting layer(116) which is formed on the 4th isolating layer(112) and which is electrically connected to the 2nd conducting layer pattern(108) through the contact holes.

The depth and the width of the side-wall spacer(11) prevent excessive etching and misalignment problems which can be brought about during a photo-etching process for contact holes by providing enough margin.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a section view showing manufacturing method according to a prior art.

Fig. 2 is a section view of the semiconductor device according to the present invention.

Fig. 3a-3e are section views explaining the manufacturing method of the device shown in Fig. 2.

CLAIMS

1. A semiconductor device characterized in comprising:
 - a 1st isolating layer(102), a 1st conducting layer(104) and a 2nd isolating layer(106) which are sequentially laminated on the semiconductor substrate(100);
 - a 2nd conducting layer pattern(108) formed on the 2nd isolating layer(106);
 - a side-wall spacer(110) made of a 3rd isolating layer which is formed at the side-wall of the 2nd conducting layer pattern(108);
 - a 4th isolating layer(112) which is formed on the substrate including the 2nd conducting layer pattern(108) and the side-wall spacer(11) and which has contact holes exposing parts of the 2nd conducting layer pattern(108) and parts of the side-wall spacer(110); and
 - a 3rd conducting layer(116) which is formed on the 4th isolating layer(112) and which is electrically connected to the 2nd conducting layer(108) through the contact holes.
2. The semiconductor device of claim 1 characterized in that said 3rd isolating layer is formed of the material whose etching rate ratio to said 1st isolating layer and said 2nd isolating layer is high.
3. A manufacturing method of a semiconductor device characterized in comprising:
 - a 1st step of forming a 1st isolating layer(102), a 1st conducting layer(104) and a

- 2nd isolating layer(106) sequentially on the semiconductor substrate(100);
- a 2nd step of forming a 2nd conducting layer pattern(108) by forming a 2nd conducting layer on the 2nd isolating layer(106) and then patterning through photo-etching process;
 - a 3rd step of forming a side-wall spacer(110) made of a 3rd isolating layer at the sidewall of the 2nd conducting layer pattern(108) by forming the 3rd isolating layer on the outcome layer of the 2nd step and then etching back the 3rd isolating layer;
 - a 4th step of forming a 4th isolating layer on the outcome layer of the 3rd step;
 - a 5th step of forming contact holes exposing parts of the 2nd conducting layer pattern(108) and parts of the side-wall spacer(110) by etching the 4th isolating layer through photo-etching process; and
 - a 6th step of forming a 3rd conducting layer(116) which is electrically connected to the 2nd conducting layer pattern(108) through the contact holes on the outcome layer of the 5th step.

4. The manufacturing method of a semiconductor device of claim 3 characterized in that said 3rd isolating layer is formed of the material whose etching rate ratio to said 1st isolating layer and said 2nd isolating layer is high.